

DIALOG(R)File 351:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

010834138 **Image available**

WPI Acc No: 1996-331091/199633

XRPX Acc No: N96-279295

Study circuit of analog neural network - has synchronous unit that
synchronises start of pulse signal output and switching of input signal
to neural network

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE CORP (NITE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8153148	A	19960611	JP 94295430	A	19941129	199633 B

Priority Applications (No Type Date): JP 94295430 A 19941129

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 8153148	A		14	G06G-007/60	

Abstract (Basic): JP 8153148 A

The circuit has multiple input ports and processing units that perform mathematical operations. The processing units are connected to an input signal generator (42) that receives input-signal from a user through an instruction signal generator circuit (43). A serial pulse signal generator synchronises with a clock signal generator (46). An error signal generator is synchronised with the pulse signal output of the pulse signal generator.

A parameter control mechanism controls the threshold-value input of an analog neural network (41) depending on the output signal of a holding circuit. The holding circuit holds each output when an error signal is generated by an error generating circuit.

USE/ADVANTAGE - Corrects internal parameter according to input-output conditions of neural network which has function similar to human brain activity e.g. pattern recognition, reasoning, optimisation. Provides offset checking capability without using integrator circuit. Varies energy function to input signal. Corrects weighting or corresp. threshold value.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-153148

(43)公開日 平成8年(1996)6月11日

(51)Int.Cl.⁶

識別記号 庁内整理番号

F I

技術表示箇所

G 0 6 G 7/60

G 0 6 F 15/18

G 1 1 C 11/54

5 2 0 Q 8837-5L

審査請求 未請求 請求項の数3 OL (全14頁)

(21)出願番号 特願平6-295430

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(22)出願日 平成6年(1994)11月29日

(72)発明者 相澤 茂樹

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 野口 一博

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

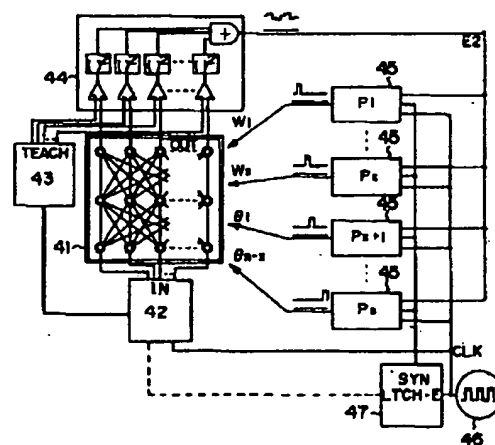
(74)代理人 弁理士 吉田 精孝

(54)【発明の名称】 アナログニューラルネットワーク学習回路

(57)【要約】

【目的】 積分回路を用いずオフセットの影響を受けにくいアナログニューラルネットワーク学習回路を提供する。

【構成】 同一時刻には、高々1つのパルスだけが発生している複数のパルス信号を重みあるいは閾値出力値に重畳し、得られた誤差信号を上記のパルス信号の1つが発する時間に同期して、誤差信号をラッチし、全てのパルス信号が発生していない場合の誤差信号との差分を求めることにより、このパルス信号に対応した重みあるいは閾値の変化に伴うエネルギー関数の変化分を直接求める。パルス信号を1周期出力する期間、入力信号、及びこれに対する教師信号を保持することによって、入力信号に対するエネルギー関数の変化分が求められる。さらに、全ての入力信号に対して、対応するエネルギー関数の変化分を求め、その結果に基づいて対応する重みあるいは閾値を修正する。



41 アナログニューラルネットワーク素子

42 入力信号発生回路

43 教師信号発生回路

44 誤差2乗和発生回路

45 重み・閾値計算回路

46 クロック発生回路

47 タイミング発生回路

1

2

【特許請求の範囲】

【請求項1】 複数のニューラルネットワーク入力ポート、少なくとも1つのニューラルネットワーク出力ポート、入力される信号に対して重み付け加算や非線形処理を行なう複数の処理エレメント、該処理エレメントを相互に接続する複数の結線エレメントと、該ニューラルネットワークにおいて学習すべき入力信号を発生させる入力信号発生手段と、該入力信号に対応した教師信号を発生させる教師信号発生手段と、該ニューラルネットワークの学習時にニューラルネットワークの出力信号と、該教師信号を比較して誤差信号を発生する誤差信号発生手段とを含むニューラルネットワークに接続される学習回路において、

クロック信号に同期した複数のパルス信号であり、かつ同一時刻には該複数のパルス信号の中から1つのパルス信号のみを出力するパルス信号発生手段と、該誤差信号発生手段の出力を該パルス発生手段により出力された該パルス信号に同期して、該誤差信号発生手段の出力を保持する保持手段と、

該保持手段の出力信号に応じて該ニューラルネットワークの重みあるいは閾値入力を変更するパラメータ制御手段と、

該ニューラルネットワークへの入力信号および教師信号は少なくとも該複数のパルス信号のすべてを出力するの
に要する時間の間はそれぞれの値を保持し、該複数のパ*

$$\sum_{k=1}^n P_{jk} P_{lk} = 0 \quad (1 \leq l \leq n, 1 \leq j \leq n), l \neq j$$

かつ

$$\sum_{k=1}^n P_{lk} P_{lk} = m$$

を満足する直交符号パターンを発生する直交符号パターン発生手段と、

該誤差信号発生手段の出力信号をクロック信号に同期して保持する信号保持手段と、

直交符号パターンを重畳していないときの該信号保持手段の出力と該直交符号パターン発生手段の直交符号パターンが重畳されている場合の誤差信号発生手段の出力との差分を検出する差分検出手段と、

該信号保持手段の出力信号に該直交符号パターンを乗算した結果を加算する加算手段と、

該加算手段の出力に応じて該ニューラルネットワークの重みあるいは閾値入力を変更するパラメータ制御手段と、

該ニューラルネットワークへの入力信号及び該教師信号は該直交符号パターンの少なくとも1周期の間それぞれの値を保存し、該直交符号パターンの1周期の開始と該ニューラルネットワークの切り替えと同期させる同期手段とを含むことを特徴とするアナログニューラルネット

*ルス信号の出力の開始と該ニューラルネットワークへの入力信号の切り替えとを同期させる同期手段とを含むことを特徴とするアナログニューラルネットワーク学習回路。

【請求項2】 複数のニューラルネットワーク入力ポート、少なくとも1つのニューラルネットワーク出力ポート、入力される信号に対して重み付け加算や非線形処理を行なう複数の処理エレメント、該処理エレメントを相互に接続する複数の結線エレメントと、該ニューラルネットワークにおいて学習信号を発生する教師信号発生手段と、該入力信号に対応した教師信号を発生する教師信号発生手段と、該ニューラルネットワークの出力信号と該教師信号とを比較して誤差信号を発生する誤差信号発生手段とを含むニューラルネットワークに接続される学習回路において、

n個の直交符号パターンをそれぞれ P_1, P_2, \dots, P_n とし、該直交符号パターンの配列が、

$$P_i = [P_{i1}, P_{i2}, \dots, P_{in}] \quad (P_{ik} = \pm 1, 1 \leq k \leq n)$$

とすると、各直交符号パターンが、

$$\sum_{k=1}^n P_{ik} = 0 \quad (1 \leq i \leq n)$$

かつ

ワーク学習回路。

【請求項3】 複数のニューラルネットワーク入力ポート、少なくとも1つのニューラルネットワーク出力ポート、入力される信号に対して重み付け加算や非線形処理を行なう複数の処理エレメント、該処理エレメントを相互に接続する複数の結線エレメントと、該ニューラルネットワークにおいて教師信号を発生する教師信号発生手段と、該入力信号に対応した教師信号を発生する教師信号発生手段と、該ニューラルネットワークの出力信号と該教師信号とを比較して誤差信号を発生する誤差信号発生手段とを含むニューラルネットワークに接続される学習回路においてn個の直交符号パターンをそれぞれ P_1, P_2, \dots, P_n とし、該直交符号パターンの配列が、

$$P_i = [P_{i1}, P_{i2}, \dots, P_{in}] \quad (P_{ik} = \pm 1, 1 \leq k \leq n)$$

$$\sum_{k=1}^n P_{ik} = 0 \quad (1 \leq i \leq n)$$

かつ

$$\sum_{k=1}^n P_{jk} P_{lk} = 0 \quad (1 \leq j \leq n, 1 \leq l \leq n), j \neq l$$

かつ

$$\sum_{k=1}^n P_{lk} P_{lk} = m$$

を満足する直交符号パターンを発生する直交符号パターン発生手段と、

該誤差信号発生手段の出力信号をクロック信号に同期して保持する信号保持手段と、

該信号保持手段の出力信号に該直交符号パターンを乗算した結果を加算する加算手段と、

該加算手段の出力に応じて該ニューラルネットワークの重みあるいは閾値入力を変更するパラメータ制御手段と、

該ニューラルネットワークへの入力信号及び該教師信号は該直交符号パターンの少なくとも1周期の間それぞれの値を保存し、該直交符号パターンの1周期の開始と該ニューラルネットワークの切り替えと同期させる同期手段とを含むことを特徴とするアナログニューラルネットワーク学習回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アナログニューラルネットワークの学習回路に関するものである。

【0002】

【従来の技術】従来、入力信号に加減算、非線形処理を施すような処理エレメントを多数用いて構成され、パターン認識、推論、最適化問題等の人間の知能活動に類似した機能を持ったニューラルネットワークにおいては、所望の入出力特性を得るために、入出力条件に応じて内部パラメータを修正する学習過程が必要である。しかしながら、ニューラルネットワークの学習はディジタル回路やソフトウェアを利用したシミュレータあるいはエミュレータの上で実現されたものであり、アナログ回路で実現されたニューラルネットワーク回路に対する学習法の確立が望まれている。

【0003】図9は3層ニューラルネットワークの構成を示す。図9の(a)は3層パーセプトロンを示し、同図の(b)はニューロン素子の構成を示す。同図(a)に示すニューラルネットワークは、信号入力端子1-1~1-4、入力層2、中間層3、出力層4、信号出力端子5-1~5-4、及びニューロン素子6より構成される。同図(b)に示されるニューロン素子は積和演算部Σと関数出力部fに大別される。積和演算部Σでは、複数の入力I1~Inのそれぞれに異なった重みW1~Wnを乗算し、乗算した値を加算した値に、上記の入力によって変動しない関数θをさらに加算した値を出力する。関数出力部fは上記積和演算部Σの出力に関数処理を施し、そ

の結果を出力する。ニューロン素子の出力Oは、

$$O = f(\sum I_i W_i + \theta)$$

と表せる。ここで、関数fは、一般に単調な関数であり、入力に対して非線形な特性を持つ。通常はシグモイド関数と呼ばれる以下の形の関数Sが用いられる。

$$S(x) = 1 / \{1 + \exp(-x/a)\}$$

ここで、aは関数の傾きの急峻さを決めるパラメータである。図9(b)のニューロン素子を同図(a)のように層状に配置し、各層間のニューロン素子同士を結合することによって、多層ニューラルネットワークが構成される。このニューラルネットワークはある入力に対する望ましい出力と実際の出力との差分(誤差)から各ニューロン素子の重みおよび閾値を修正し、種々の入力に対して、それに対応した望ましい出力を常に得られるようにすることができる。

【0004】図10はアナログニューラルネットワーク素子の構成例を示す。同図に示すニューラルネットワーク素子は素子への入力信号の入力端子11、素子への重みを入力する入力端子12、出力信号を出力する出力端子13、入力信号と重みに比例した出力を発生する乗算回路14、閾値に相当する出力を付加する閾値回路15、乗算回路14及び閾値回路15の出力を加算した結果を出力する加算回路16、加算回路16の出力に対する非線形関数を出力端子に出力する非線形関数発生回路17から構成される。各乗算回路14および閾値回路15の出力電流は加算回路16を介して加算され、非線形関数発生回路17によって処理され、出力される。

【0005】上記のような多層ニューラルネットワークの学習は、以下の式に基づいて実行するのが一般的である。

$$[\text{0006}] \Delta W_i = -\eta \cdot \partial E / \partial W_i$$

$$E = 1/2 \sum (O_i - T_i)^2$$

ここで、ΔW_iは重みあるいは閾値W_iの修正量、ηは系の学習の学習速度を表す学習係数、Eはエネルギー関数である。また、O_i、T_iはそれぞれ、出力信号および教師信号である。

【0007】上記多層ニューラルネットワークの学習動作をコンピュータシミュレーションする場合には、一般に各ニューロン素子の入出力特性がシグモイド関数であると仮定して、上式から重みあるいは閾値をそのまま図10に示すようにアナログニューラルネットワーク素子に与えても、素子の乗算回路、閾値回路、及び非線形関数発生回路の特性には、オフセット等のばらつきが存在するため、素子がシミュレーション通りに動作するためには、素子がシミュレーション通りに動作するためには、何らの方法でも正しい学習動作を行なわせるためには、何らの方法で、エネルギー関数の変化量∂E/∂Wの値を直接測定

し、これに基づいて重みあるいは閾値の修正を行なう学習法が必要となる。

【0008】 $\partial E / \partial W$ を直接測定する学習法として、多周波振動法が提案されている。従来のアナログニューラルネットワークの学習法を図11に示す。これは、T. Matsumoto, and M. Koga, "Novel learning method for a analog neural networks," Electron. Lett., vol. 26, pp. 1136-1137, 1990に開示されている。図11の(a)は多周波振動法に基づくニューラルネットワーク学習回路の概略を示す。同図において、ニューラルネットワーク学習回路は、アナログニューラルネットワーク素子21、ニューラルネットワーク素子21への入力信号発生回路22、入力信号発生回路の信号に対応する教師信号発生回路23、ニューラルネットワーク素子21の各出力と対応する教師信号発生回路23の各出力との差分の2乗和(2乗誤差)を出力する誤差2乗和発生回路24、重み・閾値制御回路25、単一周波数の正弦波を出力する発振回路26、2つの入力の積を出力する乗算回路27、入力信号の低周波成分のみを出力する低減フィルタ回路28、入力信号の正負を逆転させて出力するインバータ29、入力信号を時間領域で積分した値を出力する積分回路30、2つの入力の和を計算する加算回路31により構成される。

【0009】ここで、各重み・閾値制御回路25はそれぞれ、ニューラルネットワーク素子21の対応する重み、あるいは閾値入力に接続されている。また、各重み・閾値制御回路25に接続された発振回路26は全て互いに異なった周波数で発振するものとする。また、各重み・閾値制御回路25中の低減フィルタ回路28の遮断周波数は、発振回路26の隣接周波数間隔に比べて十分に低く設定されるものとする。このとき、各重み・閾値制御回路25の中の1つの発振回路(振幅 b 、周波数 g)を動作させると、ニューラルネットワーク素子中の対応する重みあるいは閾値に振幅 b 、周波数 g の振動成分が重畳される。この振動成分はニューラルネットワーク素子21の各出力端に伝搬し、最終的に誤差2乗和発生回路の出力は回路の機能から明らかなように、ニューラルネットワーク素子のエネルギー関数に比例する。従って、上記の振幅 b が微小であれば、誤差2乗和発生回路24の周波数 g の成分の振幅 b' と b との比は、重みあるいは閾値の微小な変化によって生ずるエネルギー関数の変化分の絶対値、すなわち $|\partial E / \partial W|$ を直接表すことになる。また、重畳信号がニューラルネットワーク素子21及び誤差2乗和発生回路24を伝搬する際の位相遅れを無視すれば、発振回路26の出力と誤差2乗和発生回路24の周波数 g の成分の出力とが同相であれば、 $\partial E / \partial W$ の値は正であり、逆相であれば負である。

【0010】周波数 g の成分が重畳された誤差2乗和発生回路24の出力は、各重み・閾値制御回路25に分配

され、乗算回路27で発振回路26の正弦波と乗算され、低域フィルタ回路28を通過することにより、周波数 g を発生した発振回路26を持つ重み・閾値制御回路25にのみ、 $\partial E / \partial W$ に比例した出力が現れ、他の制御回路には現れない。この出力をインバータ29を介して積分回路30に入力することによって、積分回路30の出力は単位時間当たり、 $\partial E / \partial W$ に比例した修正を受けることになり、 $\partial E / \partial W$ を直接測定する学習が実現する。各制御回路は、それぞれの持つ発振器の全てが同時に動作した場合でも、個々に自分自信の発振器の周波数成分のみを検知して独立に動作する。従って、こうした場合でも各制御回路が持つ学習機能はそのまま保たれる。この時、ニューラルネットワーク素子中のすべての重み・閾値が同時に修正されるため、高速な学習が達成される。

【0011】

【発明が解決しようとする課題】前述した従来の学習法では、学習回路を構成する積分回路のオフセットが重みあるいは閾値の修正に影響するため、オフセットが大きい場合には学習が進まなくなるといった問題があった。

【0012】本発明の目的は、積分回路を用いずオフセットの影響を受けにくいアナログニューラルネットワーク学習回路を提供することにある。

【0013】

【課題を解決するための手段】本発明は前記課題を解決するために、請求項1では、複数のニューラルネットワーク入力ポート、少なくとも1つのニューラルネットワーク出力ポート、入力される信号に対して重み付け加算や非線形処理を行なう複数の処理エレメント、該処理エレメントを相互に接続する複数の結線エレメントと、該ニューラルネットワークにおいて学習すべき入力信号を発生させる入力信号発生手段と、該入力信号に対応した教師信号を発生させる教師信号発生手段と、該ニューラルネットワークの学習時にニューラルネットワークの出力信号と、該教師信号を比較して誤差信号を発生する差信号発生手段とを含むニューラルネットワークに接続される学習回路において、クロック信号に同期した複数のパルス信号であり、かつ同一時刻には該複数のパルス信号の中から1つのパルス信号のみを出力するパルス信号発生手段と、該誤差信号発生手段の出力を該パルス発生手段により出力された該パルス信号に同期して、該誤差信号発生手段の出力を保持する保持手段と、該保持手段の出力信号に応じて該ニューラルネットワークの重みあるいは閾値入力を変更するパラメータ制御手段と、該ニューラルネットワークへの入力信号および教師信号は少なくとも該複数のパルス信号のすべてを出力するのに要する時間の間はそれぞれの値を保持し、該複数のパルス信号の出力の開始と該ニューラルネットワークへの入力信号の切り替えとを同期させる同期手段とを含むアナログニューラルネットワーク学習回路を提供する。また請

7

求項2では、複数のニューラルネットワーク入力ポート、少なくとも1つのニューラルネットワーク出力ポート、入力される信号に対して重み付け加算や非線形処理を行なう複数の処理エレメント、該処理エレメントを相互に接続する複数の結線エレメントと、該ニューラルネットワークにおいて学習信号を発生する教師信号発生手段と、該入力信号に対応した教師信号を発生する教師信号発生手段と、該ニューラルネットワークの出力信号と該教師信号とを比較して誤差信号を発生する誤差信号発生手段とを含むニューラルネットワークに接続される学

$$\sum_{k=1}^n P_{jk} P_{ik} = 0 \quad (1 \leq i \leq n, 1 \leq j \leq n), i \neq j$$

かつ

$$\sum_{k=1}^n P_{ik} P_{ik} = m$$

を満足する直交符号パターンを発生する直交符号パターン発生手段と、該誤差信号発生手段の出力信号をクロック信号に同期して保持する信号保持手段と、直交符号パターンを重畳していないときの該信号保持手段の出力と該直交符号パターン発生手段の直交符号パターンが重畳されている場合の誤差信号発生手段との差分を検出する差分検出手段と、該信号保持手段の出力信号に該直交符号パターンを乗算した結果を加算する加算手段と、該加算手段の出力に応じて該ニューラルネットワークの重みあるいは閾値入力を変更するパラメータ制御手段と、該ニューラルネットワークへの入力信号及び該教師信号は該直交符号パターンの少なくとも1周期の間それぞれの値を保存し、該直交符号パターンの1周期の開始と該ニューラルネットワークの切り替えと同期させる同期手段とを含むアナログニューラルネットワーク学習回路を提供する。

【0014】また請求項3では、複数のニューラルネット

$$\sum_{k=1}^n P_{jk} P_{ik} = 0 \quad (1 \leq i \leq n, 1 \leq j \leq n), j \neq i$$

かつ

$$\sum_{k=1}^n P_{ik} P_{ik} = m$$

を満足する直交符号パターンを発生する直交符号パターン発生手段と、該誤差信号発生手段の出力信号をクロック信号に同期して保持する信号保持手段と、該信号保持手段の出力信号に該直交符号パターンを乗算した結果を加算する加算手段と、該加算手段の出力に応じて該ニューラルネットワークの重みあるいは閾値入力を変更するパラメータ制御手段と、該ニューラルネットワークへの入力信号及び該教師信号は該直交符号パターンの少なくとも1周期の間それぞれの値を保存し、該直交符号パタ

8

*習回路において、n個の直交符号パターンをそれぞれP1, P2, ..., Pnとし、該直交符号パターンの配列が、 $P_i = (P_{i1}, P_{i2}, \dots, P_{in})$ ($P_{ik} = \pm 1, 1 \leq k \leq n$)
とすると、各直交符号パターンが、

$$\sum_{k=1}^n P_{ik} = 0 \quad (1 \leq i \leq n)$$

かつ

※トワーク入力ポート、少なくとも1つのニューラルネットワーク出力ポート、入力される信号に対して重み付け加算や非線形処理を行なう複数の処理エレメント、該処理エレメントを相互に接続する複数の結線エレメントと、該ニューラルネットワークにおいて教師信号を発生する教師信号発生手段と、該入力信号に対応した教師信号を発生する教師信号発生手段と、該ニューラルネットワークの出力信号と該教師信号とを比較して誤差信号を発生する誤差信号発生手段とを含むニューラルネットワークに接続される学習回路において、n個の直交符号パターンをそれぞれP1, P2, ..., Pnとし、該直交符号パターンの配列が、

$$P_i = (P_{i1}, P_{i2}, \dots, P_{in}) \quad (P_{ik} = \pm 1, 1 \leq k \leq n)$$

$$\sum_{k=1}^n P_{ik} = 0 \quad (1 \leq i \leq n)$$

かつ

一の1周期の開始と該ニューラルネットワークの切り替えと同期させる同期手段とを含む。

【0015】

【作用】本発明によれば、同一時刻には、高々1つのパルスだけが発生している複数のパルス信号を重みあるいは閾値出力値に重畳し、得られた誤差信号を上記のパルス信号の1つが発する時間に同期して、誤差信号をラッチし、全てのパルス信号が発生していない場合の誤差信号との差分を求めることにより、このパルス信号に対応した重みあるいは閾値の変化に伴うエネルギー関数の変化分 $\partial E / \partial W$ を直接求める。パルス信号を1周期出力する期間、入力信号及びこれに対する教師信号を保持することによって、入力信号に対するエネルギー関数の変

化分 $\partial E/\partial W$ が求められる。さらに、全ての入力信号に対して、対応するエネルギー関数の変化分を求め、その結果に基づいて対応する重みあるいは閾値を修正することにより、全ての入力信号に対して学習動作を行なうことができる。

【0016】また、本発明は、所定の条件を充足する直交符号パターンを対応する重みあるいは閾値出力信号に重畳し、得られた誤差信号と符号パターンを重畳していない誤差信号との差分信号を検出し、その差分信号と直交符号パターンの1つとを乗算して、それをパターン毎に加算することにより、入力信号についてのエネルギー関数の変化分 $\partial E/\partial W$ を直接求める。さらに全ての入力信号に対して対応するエネルギー関数の変化分を求め、その結果に基づいて対応する重みあるいは閾値出力を修正することにより、すべての信号について学習動作を行なうことができる。

【0017】また、本発明は、所定の条件を充足する直交符号パターンを対応する重みあるいは閾値出力信号に重畳し、得られた誤差信号と直交符号パターンの1つを乗算して、それをパターン毎に加算することにより、入力信号についてエネルギー関数の変化分 $\partial E/\partial W$ を直接求める。さらに全ての入力信号に対して対応するエネルギー関数の変化分を求め、その結果に基づいて対応する重みあるいは閾値出力を修正することにより、すべての信号について学習動作を行うことができる。

【0018】

【実施例】図1は本発明の第1の実施例を示すもので、図1において、41はアナログニューラルネットワーク素子、42はアナログニューラルネットワーク素子41への入力信号発生回路、43は入力信号発生回路42に対応する教師信号の発生回路である。また、44は誤差2乗発生回路であり、ニューラルネットワーク素子41の出力と対応する教師信号発生回路43の差分の2乗和を出力する。また、45は重み・閾値制御回路であり、図2に詳細に示す。46はクロック発生回路であり、系全体の同期のためのクロック信号を出力する。47はタイミング発生回路であり、入力信号発生回路42の入力パターン切り替えあるいは重み・閾値制御回路45のタイミングを制御する機能を持つ。

【0019】図2は、重み・閾値制御回路45の構成を示す図である。141はパルス発生回路であり、クロック信号、あるいはタイミング信号に同期したパルス信号を出力する。142-1、142-2はラッチ回路であり、タイミング信号に同期して、入力信号の状態を保持する機能を持つ。143-1、143-2はスイッチであり、タイミング信号がONの時にスイッチをONにして、入力信号をそのまま出力する。144は+側の入力信号と-側の入力信号の減算を行う引き算回路である。145はラッチ回路であり、タイミング信号に同期して、入力信号の状態を保持する機能を持つ。146はス

イッチであり、タイミング信号がONの時にスイッチ146をONにして、入力信号をそのまま出力する。147はラッチ回路であり、タイミング信号に同期して入力信号を取り込みこれを保持する機能を有する。148は加算回路であり、2つの入力信号を加算する。149は減衰器であり、パルス発生回路141の出力を減衰させる。150は加算回路であり、2つの入力の和を計算する。

【0020】図3に本実施例における各信号のタイミングの一例を示す。同図においてIN-1~IN-3は入力信号発生回路42から供給される入力信号、OUT-1はニューラルネットワーク素子41の出力信号、TEACH-1は教師信号発生回路43の出力信号、E2は誤差2乗和発生回路44の出力を示す。また、同期信号SYNはタイミング発生回路47から出力される1つの入力パターンに対する学習動作の開始を示すタイミング信号、P-1~Pnは各重み・閾値制御回路45中のパルス発生回路141からの出力信号を示し、W-1~W-nは加算回路147の出力である。

【0021】また、図の上方の数字1~8は、それぞれ1つの入力パターンが保持される期間を示し、その境界の破線部分で入力パターンが切り替えられる。各パルス発生回路141はSYN信号の次のクロック周期からクロック発生回路46によって供給されるクロック信号(CLK)に同期して、1番目のパルス発生回路141は最初のクロック周期、2番目のパルス発生回路141は2番目のクロック周期というように1つのクロック毎に1つのパルス発生回路141がパルス信号を出力する。入力信号発生回路42および教師信号発生回路43は全てのパルス発生回路141がパルス信号を出力している間、同一の入力パターンおよびこれに対応する教師パターンを保持している。このため、タイミング発生回路47は、最後のパルス発生回路のパルス信号が出力された後、LTCH-E信号を送出して、各重み・閾値制御回路45中のスイッチ146をONにして、加算回路148に重み・閾値修正信号を入力して、重みあるいは閾値を更新するとともに、入力信号発生回路42に入力パターン切り替え信号を送出し、入力パターンを切り替える。その後、タイミング発生回路47が各重み・閾値制御回路45に再びSYN信号を送出することにより、各重み・閾値制御回路45は、次の新たな入力パターンに対する動作を開始する。

【0022】タイミング発生回路47の同期信号(SYN)は、各重み・閾値制御回路45のラッチ回路142-1に供給され、重み・閾値にパルスを重畳する前の誤差2乗和がラッチされる。このため、誤差2乗和信号E2がすべての重み・閾値制御回路中のラッチ回路142-1にラッチされる。一方、1番目の重み・閾値制御回路中のパルス発生回路141がパルスを発生すると、このパルスは1番目の重み・閾値制御回路45中のラッチ

回路142-2に供給され、1番目の重み・閾値制御回路の重みあるいは閾値にパルスが重畳された時の誤差2乗和がラッチされる。同時に1番目の重み・閾値制御回路中のパルス発生回路のパルスはスイッチ143-1および143-2に供給され、スイッチ143-1および143-2がともにON状態となりラッチ回路142-1、142-2の信号が引き算回路144に導かれる。さらにその信号はラッチ回路145にも供給されており、引き算回路144の出力信号がラッチされる。ところで、同期信号(SYN)出力時には、全てのパルス発生回路がパルスを出していない状態であり、P-1信号出力時には、1番目のパルス発生回路141の出力のみが対応する重みあるいは閾値に重畳された状態である。従って、ラッチ回路145にラッチされる信号は、全てのパルスが重畳されていない時の誤差2乗和と、ラッチ回路145にラッチされる信号は、全てのパルスが重畳されていない時の誤差2乗和と、1番目のパルス発生回路の出力のみが対応する重みあるいは閾値に重畳された状態での誤差2乗和の差分を示すことになる。従って、パルスの振幅が十分小さい場合(パルスの振幅をDとする)には、ラッチ回路145にラッチされた信号は、重みを微小に変化させた時の誤差2乗和の変化分である $-D \cdot \partial E / \partial W$ を直接示していることになる(Dは定数)。従って、ラッチ回路145の出力を加算回路148を介して、修正前の重みあるいは閾値に加算してやることにより、ニューラルネットワークの学習が行なわれることになる。重みあるいは閾値の修正はLTCHEパルスがONになった時に行われる。このとき、スイッチ146がON状態となり、修正すべき値を加算回路148に供給される。加算回路148では、修正すべき値を修正前の重みあるいは閾値に加算して出力する。ラッチ回路147では、修正後の重みあるいは閾値の値をラッチする。

【0023】図4は、本発明の第2の実施例を示す。図4はニューラルネットワーク回路全体を示す。ニューラルネットワーク回路は、アナログニューラルネットワーク素子41、ニューラルネットワーク素子41へ入力するための信号を発生させる入力信号発生回路42、入力信号発生回路42の信号に対応する教師信号を発生させる教師信号発生回路43、ニューラルネットワーク素子*40

*41の各出力と、対応する教師信号を発生させる教師信号発生回路43、ニューラルネットワーク素子41の各出力と、対応する教師信号発生回路43の各出力との差分の2乗和(2乗誤差)を出力する誤差2乗和回路44、重み・閾値制御回路45、系全体の同期のためのクロック信号を出力するクロック発生回路46、入力信号発生回路42の入力パターン切り替え、あるいは重み・閾値制御回路45の動作タイミングを制御する機能を有するタイミング発生回路47により構成される。

【0024】図5は、本発明の第2の実施例のニューラルネットワーク回路の重み・閾値制御回路の構成を示す。重み・閾値制御回路45は、クロック発生回路46あるいはタイミング発生回路47からのタイミング信号に同期した直交符号パターンを出力する直交符号パターン回路161、誤差2乗和発生回路44の出力信号E2を同期信号(SYN)に同期してその信号を保持するラッチ回路162、クロック信号(CLK)に同期して、誤差2乗和発生回路44の出力信号E2を保持する機能を有するラッチ回路163、ラッチ回路163とラッチ回路162の出力信号の差分を求める引き算回路164、直交符号パターン回路161及び引き算回路164の2つの値の積を出力する乗算回路165、クロック信号に同期してその入力信号を保持する機能を有するラッチ回路166、2つの入力信号を加算する加算回路167、タイミング信号がONの時にスイッチをONにして、入力信号をそのまま出力するスイッチ168、LTCHEに同期して入力信号の値を保持するラッチ回路169、2つの入力信号の加算を行う加算回路170、直交符号パターン回路161の出力を減衰させる減衰器171、2つの入力の和を計算する加算回路172より構成される。

【0025】直交符号パターン回路161が発生させる直交符号パターンは“+1”あるいは“-1”の2値を取る固定長符号パターンで、各重み・閾値制御回路45が持つ符号パターンは全てパターン長が等しく、かつ互いに異なるパターンである。ここで、各重み・閾値制御回路45が持つ符号パターンをそれぞれ P_1, \dots, P_n として、パターン P_i の配列が、

$$P_i = \{P_{i1}, P_{i2}, \dots, P_{im}\} \quad (P_{ik} = \pm 1, 1 \leq k \leq m)$$

$$\sum_{i=1}^n P_{i1} = 0 \quad (1 \leq i \leq n)$$

$$\sum_{i=1}^n P_{ij} P_{ik} = 0 \quad (1 \leq i \leq n, 1 \leq j \leq n), i \neq j$$

$$\sum_{i=1}^n P_{ik} P_{ik} = m$$

を満足するものであるとする。但し、mはパターン数、 P_{ik} は直交パターンである。一般に、上記式を満足す

る直交符号パターンはパターン長 m が4の倍数である時のみ実現可能であり、逆に m が4の倍数であれば、最大 $(m-1)$ 種類の直交符号パターンをつくることができる。

【0026】図6は本発明の第2の実施例における各信号のタイミングを示す。同図において、 $IN-1 \sim IN-3$ は、入力信号発生回路42から供給される入力信号、 $OUT-1$ はニューラルネットワーク素子41の出力信号、 $TEACH-1$ は教師信号発生回路43の出力信号、 $E2$ は誤差2乗和発生回路44の出力信号をそれぞれ表す。また、同期信号 SYN はタイミング発生回路47から出力される1つの入力パターンに対する学習動作の開始を示すタイミング信号、 $P-1 \sim P-n$ は各重み・閾値制御回路45中のパルス発生回路141からの出力信号を示し、 $W-1 \sim W-n$ は加算回路147の出力である。 CLK はクロック信号を示す。また、上方に付されている数値1~8はそれぞれ1つの入力パターンを示し、その境界の破線部分で入力パターンが切り替え*

*られる。各直交符号パターン回路161はクロック信号(CLK)に同期して直交符号パターンを出力する。入力信号発生回路42および教師信号発生回路43は少なくとも各直交符号パターン回路161が1周期分の直交符号パターンは出力している間、同一の入力パターンおよびこれに対応する教師パターンを保持している。このため、タイミング発生回路47は、クロック信号から上記直交符号パターンの1周期のタイミングを検出して、入力信号発生回路42に入力パターン切り替え信号を送出する。

【0027】図5の構成から明かなように、各重み・閾値制御回路45の出力には、微小な直交符号パターンが重畳されている。この重畳された直交符号パターンの振幅を D とすると、この直交符号パターンの i 番目のビット(直交符号パターンの開始から1番目のクロック周期)が出力されている時の誤差2乗和発生回路44の出力 Ei (ラッチ回路163の出力信号)は近似的に、

$$Ei = D \sum_{k=1}^n P_{ki} \cdot \partial E_o / \partial W_k + E_o \quad (1 \leq i \leq m)$$

と表せる。ただし、 E_o は重畳信号の全くなり場合の誤差2乗和発生回路44の出力である。また、ラッチ回路162は直交符号パターンが重畳されていない場合の誤差2乗和発生回路44の出力信号を保持しているので、引き算回路164の出

力は、

$$Ei' = -D \sum_{k=1}^n P_{ki} \cdot \partial E_o / \partial W_k$$

表せる。従って、 j 番目の重み・閾値制御回路45にお※30

$$S_{oj} = -C \sum_{i=1}^m P_{ji} E_i'$$

$$S_{oj} = -C \sum_{i=1}^m P_{ji} (D \sum_{k=1}^n P_{ki} \cdot \partial E_o / \partial W_k)$$

$$S_{oj} = -CD \sum_{k=1}^n m \delta_{kj} \cdot \partial E_o / \partial W_k = -CDm \cdot \partial E_o / \partial W_j$$

となる。上式において C は定数である。つまり、加算回路出力信号は $-\partial E / \partial W_j$ に比例しているため、その値を直交符号パターンを1周期出力する毎に加算回路170により前の重み・あるいは閾値に加算してやれば、 $-\partial E / \partial W_j$ に比例した重み・閾値の修正が行なえる。

【0028】図7は、本発明の第3の実施例を示す。ニューラルネットワーク回路の重み・閾値制御回路の構成図である。なお、ニューラルネットワーク回路全体は第4図と同様である。重み・閾値制御回路45は、クロッ

※ける直交符号パターン1周期出力後の加算回路167の出力は、

ク発生回路46あるいはタイミング発生回路47からのタイミング信号に同期した直交符号パターンを出力する直交符号パターン回路181、クロック信号(CLK)に同期して、誤差2乗和発生回路44の出力信号 $E2$ を保持する機能を有するラッチ回路182、直交符号パターン回路181の出力とラッチ回路182の出力の2つの値の積を出力する乗算回路183、入力信号の符号を反転させるインバータ184、クロック信号に同期してその入力信号を保持する機能を有するラッチ回路185、2つの入力信号を加算する加算回路186、タイミ

15

ング信号がONの時にスイッチをONにして、入力信号をそのまま出力するスイッチ187、L T C Hに同期して入力信号の値を保持するラッチ回路188、2つの入力信号の加算を行う加算回路189、直交符号パターン回路181の出力を減衰させる減衰器190、2つの入力信号の和を計算する加算回路191より構成される。

【0029】直交符号パターン回路181が発生させる直交符号パターンは“+1”あるいは“-1”の2値を*

$$\sum_{k=1}^n P_{ik} = 0 \quad (1 \leq i \leq n)$$

$$\sum_{k=1}^n P_{ik} P_{jk} = 0 \quad (1 \leq i \leq n, 1 \leq j \leq n), i \neq j$$

$$\sum_{k=1}^n P_{ik} P_{ik} = m$$

を満足するものであるとする。但し、mはパターン数、 P_{ik} は直交パターンである。一般に、上記式を満足する直交符号パターン長mが4の倍数である時のみ実現可能であり、逆にmが4の倍数であれば、最大(m-1)種類の直交符号パターンをつくることができる。

【0030】図8は本発明の第3の実施例における各信号のタイミングを示す。同図において、IN-1~IN-3は、入力信号発生回路42から供給される入力信号、OUT-1はニューラルネットワーク素子41の出力信号、TEACH-1は教師信号発生回路43の出力信号、E2は誤差2乗和発生回路の出力の出力信号をそれぞれ表す。また、同期信号SYNはタイミング発生回路47から出力される1つの入力パターンに対する学習動作の開始を示すタイミング信号、P-1~P-nは各重み・閾値制御回路45中のパルス発生回路141からの出力信号を示し、W-1~W-nは加算回路147の出力である。CLKはクロック信号を示す。また、上方に付されている数値1~8はそれぞれ1つの入力パタ※

16

*取る固定長符号パターンで、各重み・閾値制御回路45がもつ符号パターンは全てパターン長が等しく、かつ互いに異なるパターンである。ここで、各重み・閾値制御回路45が持つ符号パターンをそれぞれP1、…、Pnとして、パターンP1の配列が、

$$P1 = \{P11, P12, \dots, P1m\} \quad (P1k = \pm 1, 1 \leq k \leq m)$$

であるとき、各パターンが、

※-1を示し、その境界の破線部分で入力パターンが切り替えられる。各直交符号パターン回路181はクロック信号(CLK)に同期して直交符号パターンを出力する。入力信号発生回路42および教師信号発生回路43は少なくとも各直交符号パターン回路181が1周期分の直交符号パターンを出力している間、同一の入力パターンおよびこれに対応する教師パターンを保持している。このため、タイミング発生回路47は、クロック信号から上記直交符号パターンの1周期のタイミングを検出して、入力信号発生回路42に入力パターン切り替え信号を送出する。

【0031】図7の構成から明らかなように、各重み・閾値制御回路45の出力には、微小な直交符号パターンが重畳されている。この重畳された直交符号パターンの振幅をDとすると、この直交符号パターンの1番目のビット(直交符号パターンの開始から1番目のクロック周期)が出力されている時の誤差2乗和発生回路44の出力E1(ラッチ回路182の出力信号)は、

$$E1 = D \sum_{k=1}^n P_{1k} (E_k / W_k) + E_2 \quad (1 \leq i \leq n)$$

と表せる。但し、 E_k は重畳信号の全くない場合の誤差2乗和発生回路44の出力である。

【0032】j番目の重み・閾値制御回路45における

直交符号パターン1周期出力後の加算回路186の出力は、

17

18

$$S_{j,1} = -C \sum_{i=1}^n P_{j,i} E_i$$

$$S_{j,1} = -C \sum_{i=1}^n P_{j,i} \left\{ D \sum_{k=1}^n P_{k,i} \left(\partial E_0 / \partial W_{k,i} \right) + E_0 \right\}$$

$$S_{j,1} = -C \left\{ D \sum_{i=1}^n \sum_{k=1}^n P_{j,i} P_{k,i} \left(\partial E_0 / \partial W_{k,i} \right) + \sum_{i=1}^n P_{j,i} E_0 \right\}$$

$$S_{j,1} = -CD \sum_{k=1}^n m \delta_{k,1} \cdot \partial E_0 / \partial W_{k,1} = -CDm \cdot \partial E_0 / \partial W_{k,1}$$

となる。上式において、Cは定数である。つまり、加算回路出力信号は $-\partial E / \partial W_j$ に比例しているので、その値を直交符号パターン1を1周期出力する毎に加算回路189により前の重み・あるいは閾値に加算してやれば、 $-\partial E / \partial W_j$ に比例した重み・閾値の修正が行える。

【0033】

【発明の効果】以上説明したように本発明によれば、エネルギー関数の変化分を求めるために、全てのパルスがない場合の誤差信号とパルスが1つの場合の誤差信号の差分を用いて計算しているが、2つとも同じ誤差2乗和発生回路を通過するため、誤差2乗和発生回路のオフセットの影響はキャンセルされて出力には現れない。また、重み・閾値制御回路において、積分回路を用いていないので、オフセット分が積分されることがないため、重み・閾値制御回路のトータルでのオフセットを小さくすることができ、オフセットが学習動作に影響を与えないアナログニューラルネットワークの学習回路を構成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すニューラルネットワーク回路の構成図

【図2】第1の実施例の重み・閾値制御回路を示す図

【図3】第1の実施例の各信号のタイミングチャート

【図4】本発明の第2の実施例を示すニューラルネットワーク回路の構成図

【図5】第2の実施例の重み・閾値制御回路を示す図

【図6】第2の実施例の各信号のタイミングチャート

【図7】第3の実施例の重み・閾値制御回路を示す図

【図8】第3の実施例の各信号のタイミングチャート

【図9】3層ニューラルネットワークの構成を示す図

【図10】アナログニューラルネットワーク素子の構成例を示す図

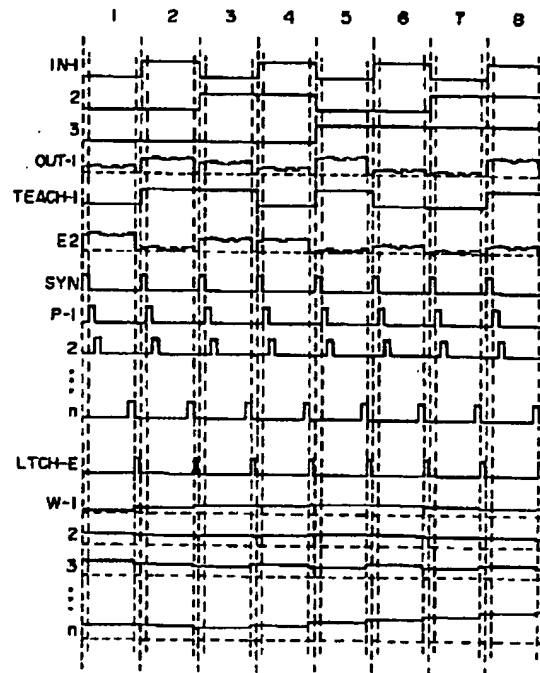
【図11】従来のアナログニューラルネットワーク学習

方法を示す図

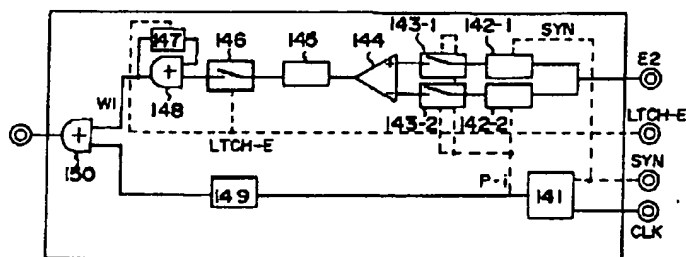
【符号の説明】

41…アナログニューラルネットワーク素子、42…入力信号発生回路、43…教師信号発生回路、44…誤差2乗和発生回路、45…重み・閾値制御回路、46…クロック発生回路、47…タイミング発生回路、141…パルス発生回路、142…ラッチ回路、143…スイッチ、144…引き算回路、145…ラッチ回路、146…スイッチ、147…ラッチ回路、148…加算回路、149…減衰回路、150…加算回路、161…直交符号パターン回路、162…ラッチ回路、163…ラッチ回路、164…引き算回路、165…乗算回路、166…ラッチ回路、167…加算回路、168…スイッチ、169…ラッチ回路、170…加算回路、171…減衰器、172…加算回路、181…直交符号パターン回路、182…ラッチ回路、183…乗算回路、184…インバータ、185…ラッチ回路、186…加算回路、187…スイッチ、188…ラッチ回路、189…加算回路、190…減衰器、191…加算回路。

【図 3】

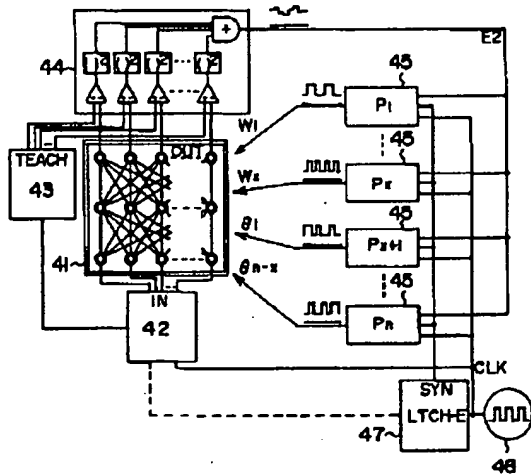


- 【図2】



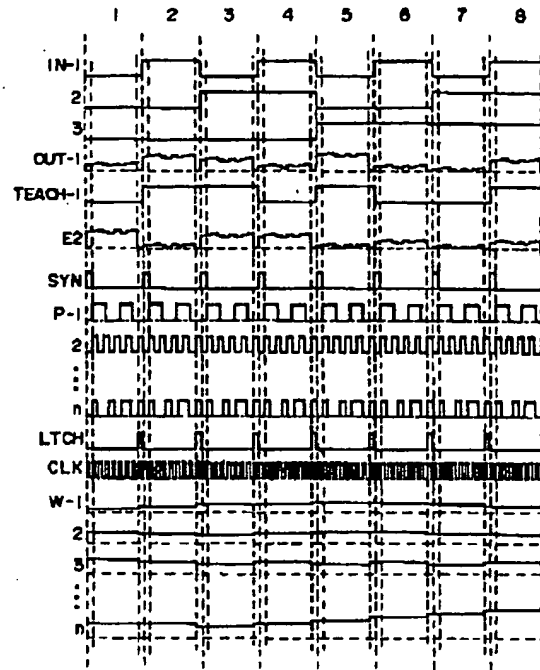
- 627—

【図4】

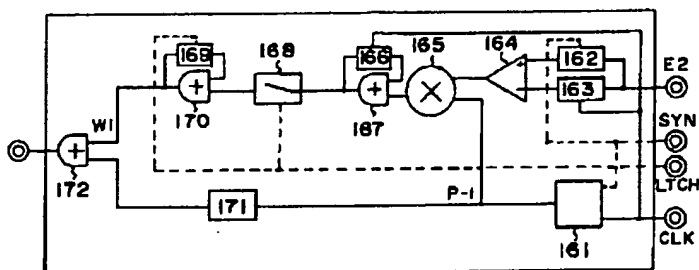


- 41 アナログニューラルネットワーク素子
 42 入力信号発生回路
 43 教師信号発生回路
 44 誤差2乗和発生回路
 45 重み・閾値制御回路
 46 クロック発生回路
 47 タイミング発生回路

【図6】

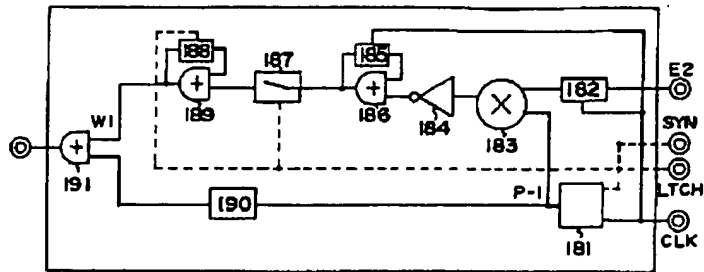


【図5】



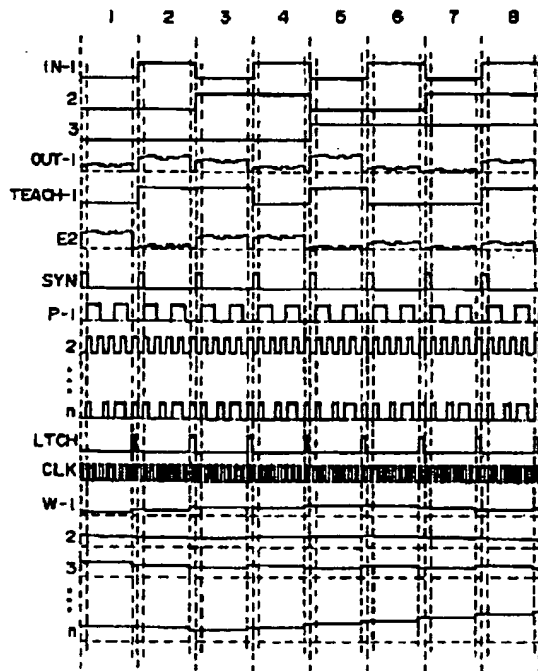
- 161 直交符号パターン回路
 162 ラッチ回路
 163 ラッチ回路
 164 引き算回路
 165 乗算回路
 166 ラッチ回路
 167 加算回路
 168 スイッチ
 169 ラッチ回路
 170 加算回路
 171 減算器
 172 加算回路

【図7】

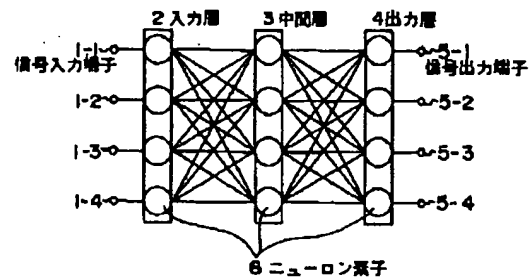


- | | |
|----------------|-----------|
| 181 直交符号パターン回路 | 187 スイッチ |
| 182 ラッチ回路 | 188 ラッチ回路 |
| 183 乗算回路 | 189 加算回路 |
| 184 インバータ | 190 減算器 |
| 185 ラッチ回路 | 191 加算回路 |
| 186 加算回路 | |

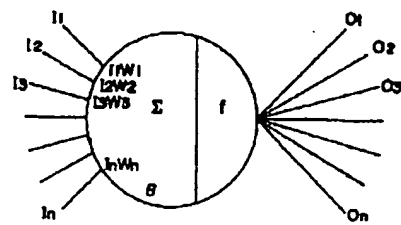
【図8】



【図9】

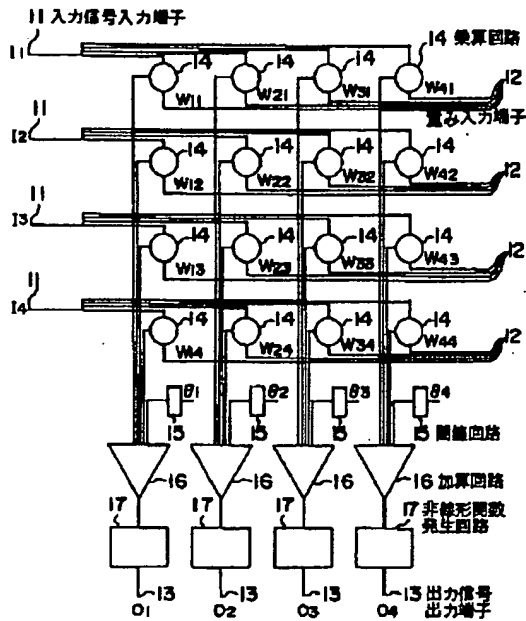


(a)



(b)

【図10】



【図11】

